

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-134075

(43)Date of publication of application : 12.05.2000

(51)Int.Cl.

H03K 17/16
H02M 1/00
H02M 3/155
H03K 17/08

(21)Application number : 11-226101

(71)Applicant : POP DENSHI KK

(22)Date of filing : 10.08.1999

(72)Inventor : WATABE HIROMICHI

(30)Priority

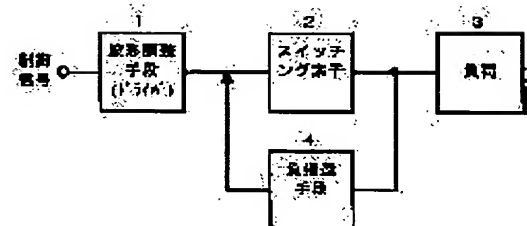
Priority number : 10231790 Priority date : 18.08.1998 Priority country : JP

(54) SWITCH DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To obtain a switch device where breakdown of a switching element can be prevented by suppressing a surge current and a surge voltage.

SOLUTION: The switch device is provided with a switching element 2 that is driven by a voltage, a drive means 1 that drives the switching element 2 with the voltage so that a maximum value of a rate of change in the voltage of a drive waveform driving the switching element 2 is a prescribed voltage or below, and a negative feedback means 4 that applies negative feedback to the switching element 2. According to this device, the switching rate can be controlled and production of a surge current and a surge voltage is suppressed within the rating of the switching element 2 by slowing down the switching rate within a sufficient margin with respect to the specification. The surge current especially can surely be suppressed by the action of the negative feedback.



LEGAL STATUS

[Date of request for examination] 10.08.1999

[Date of sending the examiner's decision of rejection] 18.04.2002

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision
of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-134075

(P2000-134075A)

(43) 公開日 平成12年5月12日 (2000.5.12)

(51) Int.Cl. ⁷	識別記号	F I	テマコード [*] (参考)
H 0 3 K 17/16		H 0 3 K 17/16	H
H 0 2 M 1/00		H 0 2 M 1/00	F
3/155		3/155	S
H 0 3 K 17/08		H 0 3 K 17/08	C

審査請求 有 請求項の数 4 O L (全 6 頁)

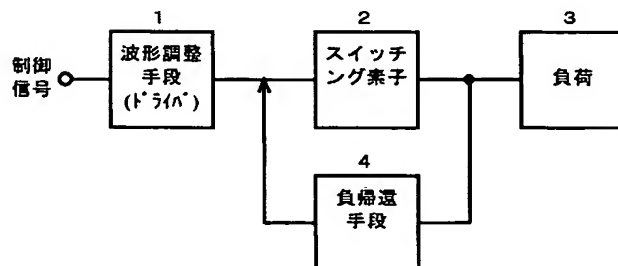
(21) 出願番号	特願平11-226101	(71) 出願人	598032531 ポップ電子株式会社 東京都町田市忠生1-15-9
(22) 出願日	平成11年8月10日 (1999.8.10)	(72) 発明者	渡部 廣道 東京都町田市忠生1-15-9 ポップ電子 株式会社内
(31) 優先権主張番号	特願平10-231790	(74) 代理人	100102336 弁理士 久保田 直樹
(32) 優先日	平成10年8月18日 (1998.8.18)		
(33) 優先権主張国	日本 (J P)		

(54) 【発明の名称】 スイッチ装置

(57) 【要約】

【課題】 サージ電流やサージ電圧を抑圧し、スイッチング素子の破壊を防止することが可能なスイッチ装置を提供すること。

【解決手段】 スイッチ装置において、電圧駆動されるスイッチング素子2と、前記スイッチング素子を駆動する駆動波形の電圧変化率の最大値が所定値以下となるように前記スイッチング素子を電圧駆動する駆動手段1と、前記スイッチング素子に負帰還をかける負帰還手段4とを備える。本発明によれば、スイッチング速度を制御可能となり、仕様に対して十分な範囲でスイッチング速度を遅くすることによって、サージ電流やサージ電圧の発生をスイッチング素子の定格内に抑圧することができる。特にサージ電流については、負帰還の作用によって確実に抑圧することが可能となる。



【特許請求の範囲】

【請求項 1】電圧駆動されるスイッチング素子と、前記スイッチング素子を駆動する駆動波形の電圧変化率の最大値が所定値以下となるように前記スイッチング素子を電圧駆動する駆動手段と、前記スイッチング素子に負帰還をかける負帰還手段とを備えたことを特徴とするスイッチ装置。

【請求項 2】前記負帰還手段は、スイッチング素子の出力端に直列に挿入されたインピーダンス素子であることを特徴とする請求項 1 に記載のスイッチ装置。

【請求項 3】前記駆動手段は、前記スイッチング素子を駆動する駆動波形の電圧変化率の最大値が所定値以下となるような積分回路を介して前記スイッチング素子を電圧駆動することを特徴とする請求項 1 または 2 に記載のスイッチ装置。

【請求項 4】前記積分回路は、容量としてスイッチング素子の入力容量を使用することを特徴とする請求項 1 または 2 に記載のスイッチ装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明はスイッチ装置に関し、特に、サージ電流やサージ電圧を抑圧し、スイッチング素子の破壊を防止することが可能なスイッチ装置に関するものである。

【0002】

【従来の技術】従来、スイッチングレギュレータ、インバータ等の電源装置や各種の電力制御装置にはスイッチング素子としてトランジスタや FET 等の半導体スイッチング素子が使用されていた。これらの素子にはサージ電流やサージ電圧、発熱等に対する限界があるので、これらの限界を越えないように回路設計をしていた。

【0003】

【発明が解決しようとする課題】図 2 は、従来のスイッチングレギュレータの回路構成を示す回路図である。直流電源端子には整流、平滑された直流電源が接続されており、+端子はコンデンサ C1、およびスイッチング素子である N チャネル FET Q1 のドレインに接続されている。FET Q1 のソースは平滑用のインダクタンス L の一端に接続され、他端はコンデンサ C2 および出力端子に接続されると共に、ドライブ回路にも接続されている。

【0004】図 3 は、図 2 の回路のソース電流およびソース電圧波形を示す波形図である。図 2 のスイッチングレギュレータ回路においては、FET Q1 がオフの時にはインダクタンス L が電流を流し続けようとするために、フライホイールダイオード D → インダクタンス L → コンデンサ C2 および負荷へと電流 i が流れる。従って、FET Q1 のソースはダイオード D の順方向電圧降下分だけマイナスの電位となる。

【0005】ここで、FET Q1 がオンした場合には、

FET Q1 のソースも電源電圧まで上昇しようとする。ところが、FET Q1 のソース回路には浮遊容量 C_f が存在するので、この浮遊容量 C_f をチャージするために瞬間的に大きなサージ電流が流れる。

【0006】また、FET Q1 がオフした場合には、インダクタンス L に前記したように逆起電力が発生し、ソース側が瞬間的にマイナスの電位に低下する。すると、フライホイールダイオード D がオンとなって、FET Q1 のソースはダイオード D の順方向電圧降下分だけマイナスの電位となる。

【0007】しかし、ダイオード D がオンとなるためには所定の時間がかかるために、この間はソースに負のサージ電圧がかかることになる。なお、FET Q1 のドレイン側に浮遊インダクタンス L_f があると、FET Q1 のオフ時にドレイン側に一瞬高電圧が発生する。従って、ソース・ドレイン間には更に高圧のサージ電圧がかかることになる。

【0008】これらのサージ電流やサージ電圧のピーク値は FET Q1 のスイッチング速度が速いほど大きくなるが、従来は素子のスイッチング速度がそれほど速くなかったもので、回路設計においては専らスイッチング速度の向上に注力されていた。ところが、近年特に FET スwitching 素子においては、性能が格段に向上し、スイッチング速度が非常に高速化している。

【0009】ところが、スイッチング速度を可能な限り高速化すると、変換効率等は向上するが、前記したように、回路内の浮遊容量や浮遊インダクタンスによってごく短時間に大きなサージ電流やサージ電圧が発生し、スイッチング素子が破壊される恐れがあるという問題点があった。本発明の目的は、前記のような従来技術の問題点を解決し、サージ電流やサージ電圧を抑圧し、スイッチング素子の破壊を防止することが可能なスイッチ装置を提供することにある。

【0010】

【課題を解決するための手段】本発明は、スイッチ装置において、電圧駆動されるスイッチング素子と、前記スイッチング素子を駆動する駆動波形の電圧変化率の最大値が所定値以下となるように前記スイッチング素子を電圧駆動する駆動手段と、前記スイッチング素子に負帰還をかける負帰還手段とを備えたことを特徴とする。スイッチング素子の動作特性は一般的に入力波形に対して非直線的に変化し、入力（駆動）波形の電圧変化率の最大値が所定値以下であっても、出力波形の電圧変化率は所定値以上になってしまう。従って、駆動波形のみを鈍らせてもサージ電流やサージ電圧を所定値以下に抑圧することはできない。

【0011】本発明によれば、駆動波形の電圧変化率の最大値が所定値以下となるように前記スイッチング素子を電圧駆動し、かつ負帰還をかけることによって、スイッチング素子が駆動波形に対して忠実な波形でスイッチ

ングするようになり、装置や回路の仕様を満足する範囲でスイッチング速度を遅く制御することが可能となる。従って、サージ電流やサージ電圧の発生をスイッチング素子の定格内に抑圧することができる。

【0012】

【発明の実施の形態】以下、本発明の実施の形態を詳細に説明する。図1は、本発明のスイッチ装置の構成を示すブロック図である。波形調整手段1は、例えば方形波の制御信号に基づき、スイッチング素子2を駆動する駆動信号を発生する。この駆動信号は、電圧の変化率 (di/dt : 時間当たりの電流変化) の最大値が所定の値以下となるように、後述する手段によって波形が調整されている。スイッチング素子2としては例えばスイッチング用FETを使用する。負帰還手段4は後述する手段によってスイッチング素子2の出力信号を入力側に負帰還させる。

【0013】スイッチング素子の動作特性は一般的に入力波形に対して非直線的に変化するので、単に入力(駆動)波形の電圧変化率の最大値を所定値以下に制御しても、出力波形の電圧変化率が所定値以上になってしまう。そこで、本発明によれば、駆動波形の電圧変化率の最大値が所定値以下となるように前記スイッチング素子を電圧駆動し、かつ負帰還をかけることによって、スイッチング素子の出力波形が駆動波形に対して忠実な波形で動作(スイッチング)するようにする。この構成により、装置や回路の仕様を満足する範囲でスイッチング速度を所望の速度に制御することが可能となる。従って、サージ電流やサージ電圧の発生をスイッチング素子の定格内に抑圧することができる。

【0014】図4は、本発明のスイッチ装置の第1実施例の構成を示す回路図である。図4(a)は、第1実施例の基本構成を示す回路図であり、ドライバ回路20は例えば方形波である入力制御信号に基づき、駆動信号を発生する周知の駆動回路である。駆動信号は波形の電圧変化率 (di/dt) の最大値が所定の値以下となるように、積分回路21によって波形が調整される。

【0015】積分回路の抵抗R22とコンデンサC23との積RCである時定数Tは、実験により最適値を決定してもよく、例えばコンデンサ23として数百〜数千ピコファラッド程度のコンデンサを使用し、抵抗22として可変抵抗器を使用して値を変化させる。そして、スイッチング素子であるFET24のドレインに発生するサージ電流やサージ電圧およびFETの消費電力(電源装置であれば変換効率)を測定し、消費電力が所望の値以下であり、かつサージ電流やサージ電圧が所望の値以下となるような抵抗値を決定する。

【0016】スイッチング素子24としてはパワーMOSFETが使用される。パワーMOSFETは電圧駆動素子であり、バイポーラトランジスタと比べてスイッチング速度が非常に高速である。パワーMOSFETは、

サージ電流値やサージ電圧値、消費電力等が素子の定格内に収まるように回路設計を行う必要がある。

【0017】負帰還回路としては、FET24のソースに挿入された抵抗25が使用される。この抵抗25は負荷と直列に接続されているので、負荷電流が流れた時には電力を消費してしまう。従って、抵抗値としては負帰還機能が働く範囲でなるべく小さい方が望ましく、例えばFETのオン抵抗値程度の値あるいは数十オーム程度であってもよい。

【0018】図4(b)は、第1実施例の変形例の構成を示す回路図である。この実施例は、図4(a)の積分回路として、ドライバ回路の出力インピーダンスおよびFET34の入力容量を使用した例である。ドライバ回路30は例えば方形波である入力制御信号に基づき、駆動信号を発生する。ドライバ回路の出力回路の等価回路はパルス信号源31と出力インピーダンス32の直列回路となる。パワーMOSFET34は一般的に入力容量33が大きく数千ピコファラッド程度ある。この出力インピーダンス32および入力容量33によって積分回路が構成される。入力容量33は使用するFETによって決まり、調整はできないので、ドライバ回路30の設計時に出力インピーダンス32が所望の値となるように、ドライバ回路の素子の選択や回路設計を行う。以上の構成によって、特に積分回路21を設けることなく本発明を実施可能である。

【0019】図5は、本発明のスイッチ装置の第2実施例の構成を示す回路図である。第2実施例は、負帰還回路にトランスを使用した例である。第1実施例においては負帰還回路としてソースに挿入した抵抗を使用しているが、この回路においては前述したように負荷を駆動した場合に電力を消費してしまうという問題点があった。第2実施例はトランスを使用することによって電力を消費しない負帰還回路を構成している。

【0020】図5(a)はトランス47の一次巻線をドレイン側に挿入した実施例であり、図5(b)はトランス57をソース側に挿入した実施例である。ドライバ回路40、50および積分回路41、51の構成および作用は第1実施例と同じである。トランス47、57の2次巻線はFET44、54のゲート回路に挿入されており、FET44、54に負帰還がかかるようにトランス47、57の巻線端子が接続される。

【0021】いずれの回路も動作は同一であり、スイッチング動作におけるオン、オフの過渡期にのみ、トランスの1次巻線の電流変化に基づいてトランス47、57の2次巻線に電圧が発生し、FET44、54に負帰還がかかるが、電流値に変化のない定常状態においては負帰還はかからず、電力も消費しない。帰還量は出力側の電流値や巻線比によって決定されるので、サージ電流やサージ電圧が所望の値以下となるような巻線比に設定する。以上の様な構成によって、余分な電力を消費するこ

となくスイッチング速度を制御可能となる。

【0022】図6は、図4(b)に示した本発明の第1実施例の変形例を直列型DC/DCコンバータ(スイッチングレギュレータ)に適用した回路図である。図2に示した従来例と異なる点は、FETQ1の入力容量とドライブ回路10の出力インピーダンスによって積分回路が構成され、FETQ1のソースに負帰還用の抵抗Rが挿入されている点である。図6の構成によって、FETQ1のオフ時には、フライホイールダイオードDがオンになるまでの時間に、インダクタンスLおよびドレイン側の浮遊インダクタンスによる逆起電力がFETの定格値を超えることを防止することができる。この間はFETQ1は能動領域で動作するために電力を消費するが、ごく短時間であるので、大きな電力損失とはならない。また、FETQ1のオン時には、ソース側の浮遊容量をチャージしようとしてサージ電流が流れるが、抵抗Rによる負帰還の作用によってサージ電流が抑圧される。

【0023】従って、FETQ1としては、従来よりソースドレイン間の耐圧値やサージ電流値の小さなものを使用可能であり、また、同じスイッチング素子を使用する場合には破壊される確率が減少する。また、サージ電流やサージ電圧の発生が防止されるので、雑音となる電磁波の発生も減少する。但し、FETQ1のスイッチング速度を遅くすると、過渡期における電力損失や抵抗Rによる損失分が増加するので変換効率が低下し、スイッチング素子の発熱は増加する。

【0024】図7は、やはり第1実施例の変形例を適用したトランス型DC/DCコンバータの構成を示す回路図である。この実施例においては、FETQ2、Q3が交互にオン状態となり、トランスTの2次側に所望の交流電流を流す。ドライブ回路は、例えば図示しないトランスTの2次側の整流回路の出力電圧が所望の値となるように、公知の回路でスイッチング素子を制御する。なお、ダイオードD2、D3は、トランスTの逆起電力によってFETQ2あるいはQ3のドレイン電圧が負の状態になった場合にオン状態となって、FETを保護するためのものである。

【0025】トランスTのような誘導性の負荷を駆動する場合にも、従来においてはスイッチング素子のオン時に浮遊容量からの放電電流によるサージ電流が発生し、また、オフ時にはトランスTのインダクタンスによる逆起電力によってサージ電圧が発生する。図7に示した実施例においても、第1実施例と同様にドライブ回路60の出力インピーダンスおよびFETQ2、Q3の入力容量によって積分回路を構成し、かつFETQ2、Q3のソースに負帰還用の抵抗R2、R3を挿入することによって、スイッチング速度を調整し、サージ電流やサージ電圧がFETの定格値を超えることを防止できる。

【0026】図8は、第3実施例である負荷の駆動回路の構成を示す回路図である。従来の負帰還を施さない回

路においては、負荷が容量性の場合にはFETオン時にサージ電流が流れる。一方、負荷が誘導性の場合にはオフ時に逆起電力が発生する。ダイオードD5はこの逆起電力に基づく電流を流してFETを保護するためのものであるが、オンするまでに所定の時間が必要であり、この間にFETに高電圧が印加され、破壊される恐れがある。

【0027】この第3実施例においては、抵抗R5およびFETQ4の入力容量によって積分回路が構成され、かつFETQ4のソースに負帰還用の抵抗R4が挿入されている。前記した各実施例においても、このドライブ回路70と同様の回路を使用可能である。なお、図5のドライブ回路30内の点線で囲んだ回路は、FETQ4に負のバイアス電圧を与えるための電源回路(定電圧回路)である。また、ダイオードD4は、誘導性負荷の場合にダイオードD5によって電流を吸収すると、反動でドレイン側の電圧が負の状態になるのを防ぐためのダイオードである。

【0028】図9は、負帰還をかけるためのインピーダンス素子の構成例を示す回路図である。第1実施例においては、負帰還をかけるためのインピーダンス素子として図9(a)に示すように抵抗を使用する例を開示したが、抵抗をスイッチング回路に挿入すると損失が発生し、発熱が問題となる。そこで、インピーダンス素子として、図9(b)に示すインダクタンス素子あるいは図9(c)に示す抵抗とインダクタンス素子を組み合わせた回路を使用することが考えられる。インダクタンス素子は電流の変化分に比例した電圧を発生し、直流に対しては電圧が発生しない。従って、オフ→オン時にはサージ電流に対して大きな負帰還電圧を発生してサージ電流を抑圧する一方、オン中は損失が発生しない。また、オン→オフ時にはソース電圧を負に引っ張ってスイッチング速度を遅らせるように作用し、やはりサージ電圧の発生を抑圧する。

【0029】以上、本発明の実施例を開示したが、下記のような変形例も考えられる。実施例においては、FETを使用したスイッチング回路に本発明を適用する例を開示したが、本発明はFETに限らず、通常のトランジスタやIGBTなど、スイッチング速度を制御可能な任意のスイッチング素子に適用可能である。波形調整手段としては、ドライブ回路とスイッチング素子の間に積分回路を挿入する例を開示したが、例えばドライブ回路の中段に積分回路を内蔵し、積分回路以降の回路にも負帰還をかけるなど、スイッチング素子を駆動する波形を調整することができる任意の手段を採用可能である。

【0030】

【発明の効果】以上述べたように、本発明においては、電圧駆動されるスイッチング素子と、前記スイッチング素子を駆動する駆動波形の電圧変化率の最大値が所定値以下となるように前記スイッチング素子を電圧駆動する

駆動手段と、前記スイッチング素子に負帰還をかける負帰還手段とを備えたので、スイッチング速度を制御可能となり、仕様に対して十分な範囲でスイッチング速度を遅くすることによってサージ電流やサージ電圧の発生をスイッチング素子の定格内に抑圧することができるという効果がある。従って、スイッチング素子の破壊を防止することが可能であり、同じスイッチング素子を使用して従来よりも大電力のスイッチングが可能となる。また、FET等のスイッチング素子を並列接続する場合に、各FETのソースに抵抗を挿入することにより、スイッチングのタイミングや電流値のばらつきが抑制されるという効果もある。更に、積分回路の挿入や負帰還をかけることによって寄生発振を防止する効果もある。

【図面の簡単な説明】

【図1】本発明のスイッチ装置の構成を示すブロック図である。

【図2】従来のスイッチングレギュレータの回路構成を示す回路図である。

【図3】図2の回路のソース電流およびソース電圧波形を示す波形図である。

【図4】本発明のスイッチ装置の第1実施例の構成を示

す回路図である。

【図5】本発明のスイッチ装置の第2実施例の構成を示す回路図である。

【図6】第1実施例の変形例を直列型DC/DCコンバータに適用した回路図である。

【図7】第1実施例の変形例を適用したトランス型DC/DCコンバータの構成を示す回路図である。

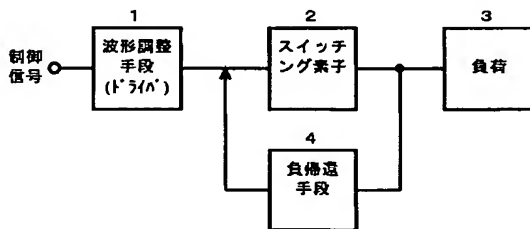
【図8】第3実施例である負荷の駆動回路の構成を示す回路図である。

【図9】負帰還をかけるためのインピーダンス素子の構成例を示す回路図である。

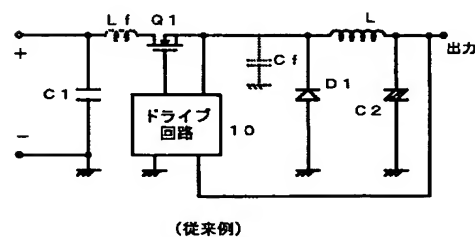
【符号の説明】

1…波形調整手段、2…スイッチング素子、3…負荷、4…負帰還手段、10、20、30、40、50、60、70…ドライブ回路、21、41、51…積分回路、24、34、44、54…FET、25、35…負帰還用抵抗、26、36、46、56、72…負荷、47、57…トランス、C1～C3…コンデンサ、Q1～Q4…FET、R1～R4…抵抗、D1～D5…ダイオード、L、Lf…インダクタンス、T…トランス、

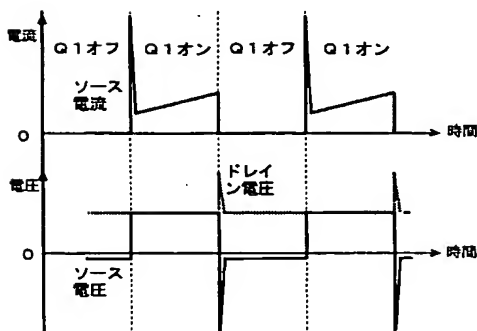
【図1】



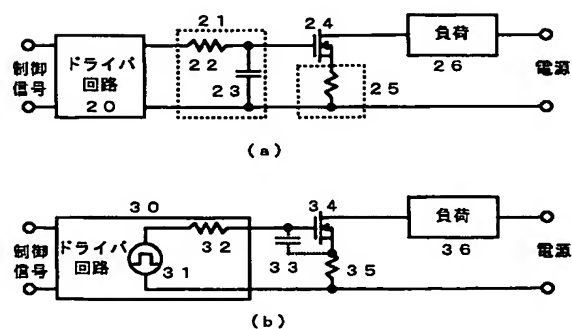
【図2】



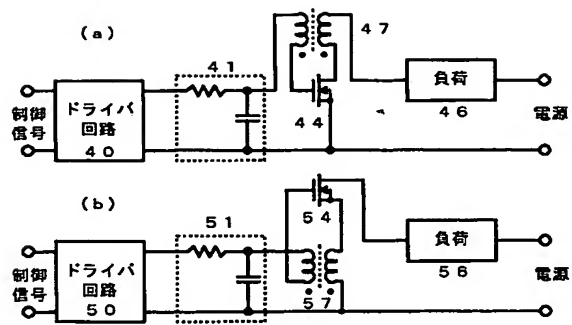
【図3】



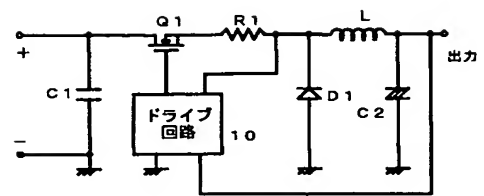
【図4】



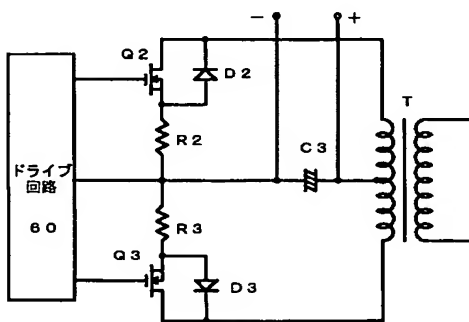
【図 5】



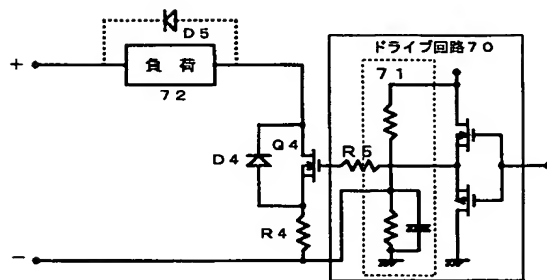
【図 6】



【図 7】



【図 8】



【図 9】

